

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-170574  
 (43)Date of publication of application : 26.06.1998

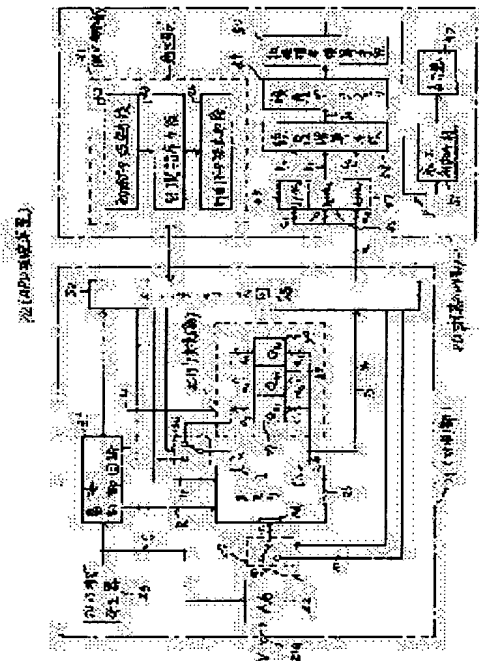
(51)Int.Cl. G01R 29/08

(21)Application number : 08-340643 (71)Applicant : ANRITSU CORP  
 KANKYO DENJI GIJUTSU KENKYUSHO:KK  
 (22)Date of filing : 05.12.1996 (72)Inventor : HOSOYA HARUHIKO  
 UCHINO SEIJI

## (54) AMPLITUDE PROBABILITY DISTRIBUTION MEASURING DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To realize a high amplitude resolution and high time resolution with a small device.  
 SOLUTION: With a data outputted from an A/D converter 22, the address of a memory 25 is selected and n bit data stored in the address is split in the data of a bit number which the value  $(2n-1)$  subtracted unity from a power of 2 becomes prime to each other and there sum  $(n_1+n_2+\dots+n_r)$  is equal to n and with a plurality of linear logic circuits 27 to 29 corresponding to primitive polynomial of an order to the bit number, they are transferred to data in next step. After elapsing a certain measurement time, they are read out in turn as measurement data of the memory 25, and with a conversion tables 45 to 47 corresponding to each primitive polynomials, a plurality of transition number value corresponding to each split data of the measured data is obtained to calculate the number which each address of the memory is selected by the output data of the A/D converted during the measurement time.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 24.09.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3156152  
 [Date of registration] 09.02.2001  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-170574

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.<sup>6</sup>  
G 0 1 R 29/08

識別記号

F I  
G 0 1 R 29/08

D

審査請求 未請求 請求項の数10 F D (全 21 頁)

(21)出願番号 特願平8-340643

(22)出願日 平成8年(1996)12月5日

(71)出願人 000000572

アンリツ株式会社

東京都港区南麻布5丁目10番27号

(71)出願人 596183206

株式会社環境電磁技術研究所

宮城県仙台市青葉区南吉成6丁目6番地の3

(72)発明者 細谷 晴彦

東京都港区南麻布五丁目10番27号 アンリツ株式会社内

(72)発明者 内野 政治

宮城県仙台市青葉区南吉成6丁目6番地の3 株式会社環境電磁技術研究所内

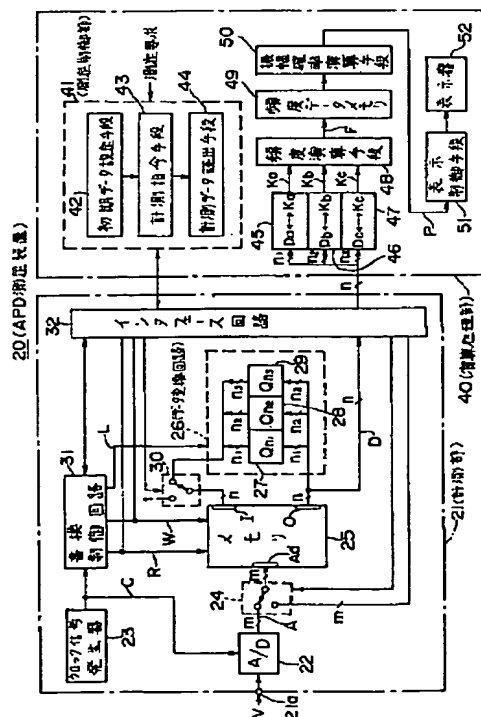
(74)代理人 弁理士 早川 誠志

(54)【発明の名称】 振幅確率分布測定装置

(57)【要約】

【課題】 小型で高い振幅分解能、高い時間分解能を実現する。

【解決手段】 A/D変換器22から出力されるデータでメモリ25のアドレスを選択し、そのアドレスに記憶されているnビットデータを、2のべき乗から1を減じた値( $2^{n_1}-1$ )が互いに素となり且つその総和( $n_1+n_2+\dots+n_r$ )がnに等しくなるビット数のデータに分割し、そのビット数を次数とする原始多項式に対応した複数の線形論理回路27~29によってそれぞれ次段階のデータに遷移させる。一定の計測時間が経過したのち、メモリ25の計測データとして順次読み出し、各原始多項式に対応した変換テーブル45~47によって、計測データの分割データにそれぞれ対応する複数の遷移回数値を求め、メモリの各アドレスが、計測時間中にA/D変換器の出力データによって選択された回数を算出する。



## 【特許請求の範囲】

【請求項1】  $n$  ビットのデータの記憶および変更が可能な  $2^m$  個の記憶回路と、

入力信号をサンプリングし  $m$  ビット並列のデータに変換し、該変換したデータを前記  $2^m$  個の記憶回路のいずれかを選択するためのデータとして順次出力するA/D変換器と、

前記  $2^m$  個の記憶回路のうち、前記A/D変換器の出力データによって選択された記憶回路に記憶されているデータを、 $n$  次原始多項式に対応した線形論理回路によって次段階のデータに遷移させるデータ遷移手段と、

前記A/D変換器によるサンプリングが所定の計測時間行われた後に前記  $2^m$  個の記憶回路に記憶されているデータを計測データとして順次読み出す計測データ読出手段と、

予め所定の基準データを前記  $n$  次原始多項式の遷移過程にしたがって遷移させたときのデータと前記基準データからの遷移回数値とが対応付けられて記憶され、前記計測データ読出手段によって読み出された計測データに対応する遷移回数値を順次出力する遷移回数出力手段とを備え、

前記遷移回数出力手段から出力される各記憶回路毎の遷移回数値に基づいて、前記A/D変換器のしきい値電圧に対する前記入力信号の振幅確率分布を求めることを特徴とする振幅確率分布測定装置。

【請求項2】 前記各記憶回路は  $n$  段のシフトレジスタによって構成され、

前記データ遷移手段は、前記記憶回路が前記A/D変換器の出力データによって選択される毎に、前記シフトレジスタの各段の出力のうち、前記  $n$  次原始多項式に対応した段の排他的論理和出力を初段に帰還して、該データを次段階に遷移させることを特徴とする請求項1記載の振幅確率分布測定装置。

【請求項3】 前記  $2^m$  個の記憶回路は、 $m$  ビットのアドレスを有するRAM型のメモリによって構成され、

前記データ遷移手段は、前記メモリに記憶されているデータのうち、前記A/D変換器の出力データによって選択されたアドレスのデータを読み出す手段と、該読み出したデータを前記  $n$  次原始多項式に対応した線形論理回路によって次段階のデータに変換する手段と、該変換したデータを変換前のデータと同一アドレスに書き込む手段とによって構成されていることを特徴とする請求項1記載の振幅確率分布測定装置。

【請求項4】  $n$  ビットのデータの記憶および変更が可能な  $2^m$  個の記憶回路と、

入力信号をサンプリングし  $m$  ビット並列のデータに変換し、該変換したデータを前記  $2^m$  個の記憶回路のいずれかを選択するためのデータとして順次出力するA/D変換器と、

前記  $2^m$  個の記憶回路のうち、前記A/D変換器の出力

データによって選択された記憶回路に記憶されているデータを、2のべき乗から1を減じた値 ( $2^{m-1} - 1$ ) が互いに素となり且つその総和 ( $n_1 + n_2 + \dots + n_r$ ) が前記数  $n$  に等しくなるビット数のデータに分割し、該各分割データをそのビット数を次数とする原始多項式に対応した複数の線形論理回路によってそれぞれ次段階のデータに遷移させるデータ遷移手段と、

前記A/D変換器によるサンプリングが所定の計測時間行われた後に前記  $2^m$  個の記憶回路に記憶されているデータを計測データとして順次読み出す計測データ読出手段と、

予め所定の基準データを前記各原始多項式の遷移過程にしたがってそれぞれ遷移させたときのデータと前記基準データからの遷移回数値とが対応付けられて記憶され、前記計測データ読出手段によって読み出された計測データの分割データにそれぞれ対応する複数の遷移回数値を出力する遷移回数出力手段と、

前記遷移回数出力手段から出力された複数の遷移回数値に基づいて、該遷移回数値の基になる計測データを記憶していた前記記憶回路が前記所定の計測時間の間に前記A/D変換器の出力データによって選択された回数を該記憶回路に対応する頻度データとして算出する頻度演算手段とを備え、

前記頻度演算手段によって算出された頻度データに基づいて、前記A/D変換器のしきい値電圧に対する前記入力信号の振幅確率分布を求めることを特徴とする振幅確率分布測定装置。

【請求項5】 前記記憶回路は前記各分割データのビット数にそれぞれ対応した段数を有する複数のシフトレジスタによって構成され、

前記データ遷移手段は、前記記憶回路が前記A/D変換器の出力データによって選択される毎に、前記各シフトレジスタの各段の出力のうち、前記各原始多項式に対応した段の排他的論理和出力を初段に帰還して、前記各シフトレジスタのデータを次段階に遷移させることを特徴とする請求項4記載の振幅確率分布測定装置。

【請求項6】 前記  $2^m$  個の記憶回路、前記データ遷移手段および前記計測データ読出手段をそれぞれ2組ずつ設けるとともに、一方の組の記憶回路と他方の組の記憶回路に対して、前記A/D変換器の出力データを前記所定の計測時間ずつ交互に与えるデータ切換手段を設け、前記A/D変換器の出力データが一方の記憶回路側に入力されている間に、他方の記憶回路に記憶されている計測データを読み出し、前記A/D変換器の出力データが他方の記憶回路側に入力されている間に、一方の記憶回路に記憶されている計測データを読み出すようにしたことを特徴とする請求項4または請求項5記載の振幅確率分布測定装置。

【請求項7】 前記計測データ読出手段は、並列入力直列出力型の  $n$  段の転送用シフトレジスタを備え、前記記憶

回路の各シフトレジスタの各段の並列出力を前記転送用シフトレジスタにセットし、該セットしたデータを直列に読み出すように構成されていることを特徴とする請求項5記載の振幅確率分布測定装置。

【請求項8】前記各記憶回路毎の前記転送用シフトレジスタが全体として直列に接続され、2<sup>n</sup>個の記憶回路に記憶されている計測データを一つの転送用シフトレジスタの出力から読み出せるように構成されていることを特徴とする請求項7記載の振幅確率分布測定装置。

【請求項9】前記2<sup>n</sup>個の記憶回路は、mビットのアドレスを有するRAM型のメモリによって構成され、前記データ遷移手段は、前記メモリに記憶されているデータのうち、前記A/D変換器の出力データによって選択されたアドレスのデータを読み出す手段と、該読み出したデータを、2のべき乗から1を減じた値(2<sup>n-1</sup>-1)が互いに素となり且つその総和(n<sub>1</sub>+n<sub>2</sub>+...+n<sub>r</sub>)が前記数nに等しくなるビット数のデータに分割し、該各分割データをそのビット数を次数とする原始多項式に対応した複数の線形論理回路によってそれぞれ次段階のデータに変換する手段と、該変換したデータを変換前のデータと同一アドレスに書き込む手段とによって構成されていることを特徴とする請求項4記載の振幅確率分布測定装置。

【請求項10】前記メモリ、前記データ遷移手段、および前記データ計測手段を2組設けるとともに、前記A/D変換器の出力データを一方のメモリと他方のメモリに所定の計測時間ずつ交互に与えるデータ切換手段を設け、

前記A/D変換器の出力データが一方のメモリ側に入力されている間に、他方のメモリに記憶されている計測データを読み出し、前記A/D変換器の出力データが他方のメモリ側に入力されている間に、一方のメモリに記憶されている計測データを読み出すようにしたことを特徴とする請求項9記載の振幅確率分布測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁環境を統計的に評価するための一つの尺度として、妨害波等の電界強度の振幅確率分布(以下、APDと記す)、即ち、妨害波等の信号の包絡線のレベルが、予め設定されたしきい値以上になる時間率を測定する振幅確率分布測定装置において、その構成を簡素化し、測定を効率的に行うための技術に関する。

【0002】

【従来の技術】従来の電磁環境計測では、搬送周波数1GHz以下の周波数帯のアナログ通信に対する影響を評価するため、信号包絡線の準せん頭値や平均値等を測定するものであった。しかし、今後増大が見込まれている1GHzを越える周波数帯での、広帯域ディジタル通信への妨害波の影響を評価するためには、妨害波包絡線の

統計パラメータを測定する必要がある。

【0003】前記したAPDはその統計パラメータの一つであり、次の式

$$P(e_i) = (1/T) \sum t_k(e_i)$$

( $t_k(e_i)$ はしきい値電圧 $e_i$ を越えている時間、Tは計測時間)で定義されている。

【0004】このAPDを測定するために、従来では、スペクトラムアナライザや電界強度計等で検出した妨害波の包短線信号を、図11に示すAPD測定装置10に入力している。

【0005】このAPD測定装置10は、計測部11と演算処理部18とによって構成されており、計測部11は、入力端子11aから入力される信号Vと、しきい値電圧発生回路12から出力される値の異なるしきい値電圧 $e_1, e_2, \dots, e_n$ とを各電圧比較器13<sub>1</sub>~13<sub>n</sub>によってそれぞれ比較する。各電圧比較器13<sub>1</sub>~13<sub>n</sub>は、入力信号Vが各しきい値を越えている間だけ計数許可信号を2進カウンタ14<sub>1</sub>~14<sub>n</sub>にそれぞれ出力し、各2進カウンタ14<sub>1</sub>~14<sub>n</sub>は、計数許可信号を受けている間、クロック信号発生器15から出力される一定周期Tcのクロック信号を計数する。

【0006】したがって、計測時間Tが経過した後の各2進カウンタ14<sub>1</sub>~14<sub>n</sub>の計数結果は、入力信号VがT時間の間に各しきい値電圧 $e_1, e_2, \dots, e_n$ を越えている時間の総和をそれぞれ表すことになる。

【0007】各2進カウンタ14<sub>1</sub>~14<sub>n</sub>の出力は、データバス16に並列に接続されてインタフェース回路17へ出力される。

【0008】インタフェース回路17は、パーソナルコンピュータ等で構成された演算処理部18に接続されている。演算処理部18は、計測部11に対する計測の制御、計測結果の読み出し、APDの算出および表示を行う。

【0009】即ち、演算処理部18は、計測部11に対して計測時間Tの計測を行わせ、その計測が完了した時点で、データバス16に接続されている各2進カウンタ14<sub>1</sub>~14<sub>n</sub>の計数結果を順番に読み出し、時間Tに対する各計数結果の割合を求め、これを表示データに変換して図示しない表示器の画面にグラフ表示して、電磁環境の評価を可能にする。

【0010】

【発明が解決しようとする課題】しかしながら、前記したような従来のAPD測定装置で、高い振幅分解能と時間分解能を実現しようとする以下のような問題が発生する。

【0011】即ち、前記した従来のAPD測定装置で振幅分解能を高くするために、しきい値電圧の差を小さくしてしきい値の数を増やすと、それに応じて電圧比較器および2進カウンタの数を増やさなければならない。例えば、100段階のしきい値設定する場合には、電圧比

較器および2進カウンタを100個ずつ設ける必要があり、これでは、計測部の構成が大型化するだけでなく消費電力が増加して、例えば携帯用のAPD測定装置としては実現が困難である。

【0012】また、前記のように100個の2進カウンタを共通のデータバスに接続していたのでは、そのバスの静電容量が異常に増加し、計測データの読み出しを正常に行うことができなくなったり、あるいはその読み出し速度が極めて遅くなってしまふ。

【0013】また、前記した従来のAPD測定装置で時間分解能を高くするためには、高速な電圧比較器だけでなく、高速で且つ桁数の多いカウンタを用いなければならない。例えば、クロック信号の周期 $T_c$ を20ナノ秒とした場合、計測時間 $T$ が1秒であっても、そのサンプリング回数は $5 \times 10^7$ 回となり、最大 $5 \times 10^7$ まで計数するのに必要な26桁の2進カウンタが必要になる。しかし、このように桁数の多いカウンタでは、カウンタ全体で各桁の遅延時間の桁数倍の遅延が発生し、この遅延によって装置全体の動作速度が制限されてしまい、例えば数ナノ秒以下の動作速度を実現することは現状では極めて困難である。

【0014】また、前記した従来のAPD測定装置では、計測データを全て読み出してからでないと次の計測を開始することができず、この計測データを読み出している間に発生した妨害波を見逃してしまうという問題がある。

【0015】本発明は、これらの課題を解決するためになされたもので、小型且つ少ない消費電力で高い振幅分解能の測定を可能にし、また、極めて高い時間分解能での計測を可能にした振幅確率分布測定装置を提供することを目的としている。

【0016】

【課題を解決するための手段】前記目的を達成するために、本発明の請求項1の振幅確率分布測定装置は、 $n$ ビットのデータの記憶および変更が可能な $2^n$ 個の記憶回路と、入力信号をサンプリングし $m$ ビット並列のデータに変換し、該変換したデータを前記 $2^n$ 個の記憶回路のいずれかを選択するためのデータとして順次出力するA/D変換器と、前記 $2^n$ 個の記憶回路のうち、前記A/D変換器の出力データによって選択された記憶回路に記憶されているデータを、 $n$ 次原始多項式に対応した線形論理回路によって次段階のデータに遷移させるデータ遷移手段と、前記A/D変換器によるサンプリングが所定の計測時間行われた後に前記 $2^n$ 個の記憶回路に記憶されているデータを計測データとして順次読み出す計測データ読出手段と、予め所定の基準データを前記 $n$ 次原始多項式の遷移過程にしたがって遷移させたときのデータと前記基準データからの遷移回数値とが対応付けられて記憶され、前記計測データ読出手段によって読み出された計測データに対応する遷移回数値を順次出力する遷移

回数出力手段とを備え、前記遷移回数出力手段から出力される各記憶回路毎の遷移回数値に基づいて、前記A/D変換器のしきい値電圧に対する前記入力信号の振幅確率分布を求めることを特徴としている。

【0017】本発明の請求項4記載の振幅確率分布測定装置は、 $n$ ビットのデータの記憶および変更が可能な $2^n$ 個の記憶回路と、入力信号をサンプリングし $m$ ビット並列のデータに変換し、該変換したデータを前記 $2^n$ 個の記憶回路のいずれかを選択するためのデータとして順次出力するA/D変換器と、前記 $2^n$ 個の記憶回路のうち、前記A/D変換器の出力データによって選択された記憶回路に記憶されているデータを、2のべき乗から1を減じた値( $2^{n-1} - 1$ )が互いに素となり且つその総和( $n_1 + n_2 + \dots + n_r$ )が前記数 $n$ に等しくなるビット数のデータに分割し、該各分割データをそのビット数を次数とする原始多項式に対応した複数の線形論理回路によってそれぞれ次段階のデータに遷移させるデータ遷移手段と、前記A/D変換器によるサンプリングが所定の計測時間行われた後に前記 $2^n$ 個の記憶回路に記憶されているデータを計測データとして順次読み出す計測データ読出手段と、予め所定の基準データを前記各原始多項式の遷移過程にしたがってそれぞれ遷移させたときのデータと前記基準データからの遷移回数値とが対応付けられて記憶され、前記計測データ読出手段によって読み出された計測データの分割データにそれぞれ対応する複数の遷移回数値を出力する遷移回数出力手段と、前記遷移回数出力手段から出力された複数の遷移回数値に基づいて、該遷移回数の基になる計測データを記憶していた前記記憶回路が前記所定の計測時間の間に前記A/D変換器の出力データによって選択された回数を該記憶回路に対応する頻度データとして算出する頻度演算手段とを備え、前記頻度演算手段によって算出された頻度データに基づいて、前記A/D変換器のしきい値電圧に対する前記入力信号の振幅確率分布を求めることを特徴としている。

【0018】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。図1は、高い振幅分解能を簡単な構成で実現した第1の実施形態のAPD測定装置20の構成を示す図である。図1において、このAPD測定装置20は、計測部21と演算処理部40とによって構成されている。

【0019】スペクトラムアナライザや電界強度測定用の受信機によって検出した包短線信号 $V$ （以下信号 $V$ と記す）は、計測部21の入力端子21aを介してA/D変換器22に入力される。A/D変換器22は、クロック信号発生器23から所定期間 $T_s$ （例えば20ナノ秒）で出力されるクロック信号 $C$ に同期して信号 $V$ をサンプリングし所定の振幅分解能 $2^m$ （例えば $m=8$ ）の並列のデータ $A$ に変換して順次出力する。なお、A/D

変換器22の量子化の幅を $\Delta e$ とし、信号VをM回目にサンプリングしたときの電圧を $E_m$ とすると、A/D変換器22から出力されるデータAは $E_m$ を $\Delta e$ で除算したときの商(余りは切捨て)を2進数で表した値となる。

【0020】A/D変換器22から出力されるmビットのデータは、データ切換スイッチ24を介してメモリ25のアドレス端子Adに入力される。

【0021】データ切換スイッチ24は、例えば2:1のデマルチプレクサ回路によって構成され、演算処理部40からの切換制御により、計測中はA/D変換器22の出力をメモリ25のアドレス端子Adへ入力し、計測が終了して計測データを読み出すときには、演算処理部40からのアドレスデータをアドレス端子Adへ入力する。

【0022】メモリ25は、この実施形態の記憶回路を構成するものであり、アドレス端子Adの他に、互いに独立したデータ出力端子Oとデータ入力端子Iを有するI/O分離型のスタティックRAMによって構成され、nビット(例えば26ビット)のデータを記憶するため\*20

$$G_n = 1 + h_1 x + h_2 x^2 + \dots + h_{n-1} x^{n-1} + x^n \quad \dots (1)$$

(ただし、係数 $h_1 \sim h_{n-1}$ は0または1)で表されるn次原始多項式によって決まる次段階の異なるデータに変換して出力する。

【0026】ここで、データ変換回路26の詳細を説明する前に、原始多項式を用いたデータ変換の原理について説明する。

【0027】入力されるnビットデータDを列ベクトル※

$$\begin{pmatrix} d_1' \\ d_2' \\ d_3' \\ d_4' \\ \vdots \\ d_{n-1}' \\ d_n' \end{pmatrix} = \begin{pmatrix} h_1 & h_2 & h_3 & \dots & h_{n-1} & 1 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 0 \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix} \begin{pmatrix} d_1 \\ d_2 \\ d_3 \\ d_4 \\ \vdots \\ d_{n-1} \\ d_n \end{pmatrix} \quad \dots (2)$$

の関係を満たすようにデータの変換を行う。なお、ここで変換後のデータ $d_1' \sim d_n'$ は、2を法とする行列演算(和が偶数のとき0、奇数のとき1)の結果である。

【0028】このようなデータ変換を行うと、nビット全て0のデータが入力されない限り、入力データと出力データとは1対1の関係があり、そのデータの種別は $2^n - 1$ 通りとなる。そして、変換後のデータが次の入力データとして入力されるようにすれば、初期データの列ベクトル $D_0$ に対して、k回目の変換によって得られる列ベクトル $D_k$ は、 $Q_n^k \cdot D_0$ によって得られる。

【0029】初期データの列ベクトル $D_0$ が既知であれ

\*の記憶回路が、少なくともA/D変換器22の振幅分解能に対応した組(例えば分解能を8ビットとすると256組)分設けられている。

【0023】メモリ25は、読出信号Rが入力されると、そのときアドレス端子Adに入力されているデータで選択されたアドレスに記憶されているデータをデータ出力端子Oから並列出力し、書込信号Wが入力されると、そのときアドレス端子Adに入力されているデータで選択されたアドレスに、データ入力端子Iに入力されているデータを書き込む。

【0024】メモリ25のデータ出力端子Oとデータ入力端子Iの間には、データ出力端子Oから出力されるnビットデータを、異なるnビットデータに変換してメモリ25のデータ入力端子Iに入力するデータ変換回路26が接続されている。

【0025】このデータ変換回路26は、後述する書換制御回路31とともにこの実施形態のデータ遷移手段を形成するものであり、メモリ25から出力されたnビットデータを

※ $D = (d_1, d_2, \dots, d_n)$ とし、変換後のデータ $D'$ を列ベクトル $D' = (d_1', d_2', \dots, d_n')$ としたとき、列ベクトル $D, D'$ が、前記式(1)の第2項目以降の係数を第1行とする正方行列 $Q_n$ を用いて、 $D' = Q_n \cdot D$ 、即ち、次式(2)

【数1】

ば、 $k=1, k=2, \dots, k=2^n - 1 (=s)$ までの変換結果 $D_1, D_2, \dots, D_s$ も予め判る。したがって、このkに対する変換結果 $D_0, D_1, D_2, \dots, D_s$ を予めテーブルに記憶しておき、計測終了後のメモリ25のデータに対応するkの値をテーブルから読み出せば、メモリ25の各アドレスが選択された回数が判り、A/D変換器22に入力される信号Vの振幅頻度が判る。

【0030】ここで、前記したようにnを例えば26とすると、その原始多項式は、

$$G_n = 1 + x^2 + x^5 + x^{2^6}$$

で与えられるがこの原始多項式に対応したテーブルの容

量は、約210Mバイト以上となってしまう通常のメモリで構成することは困難である。そこで、この実施形態では、 $n$ ビットのデータを、2のべき乗から1を減じた値( $2^k - 1$ )が互いに素となり、その総和( $n_1 + n_2 + \dots + n_r$ )が $n$ に等しくなるビット数のデータに分割する。例えば、26ビットのデータを、7ビット( $n_1 = 7$ )、9ビット( $n_2 = 9$ )、10ビット( $n_3 = 10$ )のデータに分割して、テーブルの容量を少なくしている。ただし、このように分割した場合、計測後にメモリ25から読み出した7ビット、9ビット、10ビットのデータに対応する $k$ の値をそれぞれのテーブルから単純に読み出ただけでは頻度データは得られないが、前記したように、各分割したデータのビット数について、その2のべき乗から1を減じた値が互いに素なので、剰余数系または中華剰余定理と呼ばれる方法によって頻度データを得ることができる。

【0031】以下、データ変換回路26の具体例を図2に基づいて説明する。このデータ変換回路25は、7次原始多項式( $1 + x + x^7$ )と9次原始多項式( $1 + x^4 + x^9$ )と10次原始多項式( $1 + x^3 + x^{10}$ )とにそれぞれ対応した3組の線形論理回路27~29によって26ビットのデータ変換を行うものである。

【0032】即ち、線形論理回路27は、7次原始多項式( $1 + x + x^7$ )に基づいて7ビットの入力データを変換するものであり、メモリ25から出力される第1~第7ビットまでの7ビットデータ( $d_0, d_1, \dots, d_6$ )をラッチ回路27aでラッチし、第1ビットおよび第2ビットのラッチデータ $d_0, d_1$ をEXOR回路27bに入力してその出力を第7ビットの変換データ $d_6'$ とし、第2~第7ビットのラッチデータ $d_1, d_2, \dots, d_6$ をそれぞれ1ビット分ずらして第1~第6ビットの変換データ $d_0', d_1', \dots, d_5'$ とし、メモリ25のデータ入力端子1の第1~第7ビットに入力する。

【0033】この線形論理回路27は、第1行が7次原始多項式( $1 + x + x^7$ )の係数に対応して(1000001)となる正方行列 $Q_7$ を用いてデータの変換を行っていることになり、その変換データを次の入力データとして入力することによって、7ビット全部が0のデータを除く( $2^7 - 1$ )種類の異なる7ビットデータを決まった順番に発生する。

【0034】また、線形論理回路28は、9次原始多項式( $1 + x^4 + x^9$ )に基づいて9ビットの入力データを変換するものであり、メモリ25から出力される第8~第16ビットまでの9ビットデータ( $d_7, d_8, \dots, d_{15}$ )をラッチ回路28aでラッチし、第8ビットおよび第12ビットのラッチデータ $d_7, d_{11}$ をEXOR回路28bに入力してその出力を第16ビットの変換データ $d_{15}'$ とし、第9~第16ビットのラッチデータ $d_8, d_9, \dots, d_{15}$ をそれぞれ1ビット分ずらして第8

~第15ビットの変換データ $d_7', d_8', \dots, d_{14}'$ とし、メモリ25のデータ入力端子1の第8~第16ビットに入力する。

【0035】この線形論理回路28は、第1行が9次原始多項式( $1 + x^4 + x^9$ )の係数に対応して(000100001)となる正方行列 $Q_9$ を用いてデータの変換を行っていることになり、その変換データを次の入力データとして入力するように構成することによって、( $2^9 - 1$ )種類の異なる9ビットデータを決まった順番に発生する。

【0036】同様に、線形論理回路29は10次原始多項式( $1 + x^3 + x^{10}$ )に基づいて10ビットの入力データを変換するものであり、メモリ25から出力される第17~第26ビットまでの10ビットデータ( $d_{16}, d_{17}, \dots, d_{25}$ )をラッチ回路29aでラッチし、第17ビットおよび第20ビットのラッチデータ $d_{16}, d_{19}$ をEXOR回路29bに入力してその出力を第26ビットの変換データ $d_{25}'$ とし、第18~第26ビットのラッチデータ $d_{17}, d_{18}, \dots, d_{25}$ をそれぞれ1ビット分ずらして第17~第25ビットの変換データ $d_{16}', d_{17}', \dots, d_{24}'$ とし、メモリ25のデータ入力端子1の第17~第26ビットに入力する。

【0037】この線形論理回路29は、第1行が10次原始多項式( $1 + x^3 + x^{10}$ )の係数に対応して(0010000001)となる正方行列 $Q_{10}$ を用いてデータの変換を行っていることになり、その変換データを次の入力データとして入力するように構成することによって、( $2^{10} - 1$ )種類の異なる10ビットデータを決まった順番に発生する。

【0038】なお、上記した各線形論理回路27~29は、共に3つの項からなる原始多項式を用いているが、このように最小項数の多項式を用いることで、実際の回路構成を簡単化(EXOR回路が少ない)することができる。

【0039】上記した、 $2^7 - 1 (= 127)$ 、 $2^9 - 1 (= 511)$ 、 $2^{10} - 1 (= 1023)$ は互いに素な整数であるから、データ変換回路26は、( $2^7 - 1$ )・( $2^9 - 1$ )・( $2^{10} - 1$ )通り(66389631通り)のデータを出力することができ、これは前記したように20ナノ秒の時間分解能で1秒間計測するときに必要な最大計数値 $5 \times 10^7$ よりも大きい。なお、ラッチ回路27a~29aは、共通のラッチ信号 $L$ によって入力データをラッチする。

【0040】なお、図1においてメモリ25のデータ入力端子1に接続されているスイッチ30は、計測開始時にメモリ25に基準となる初期データ(全ビット1)をセットするためのものである。

【0041】メモリ25からのデータの読み出しおよび変換データの書込みは、書換制御回路31によって行われる。

【0042】書換制御回路31は、図3に示すように、クロック信号発生器23から出力されるクロック信号Cの一周期 $T_s$ の間に、メモリ25に対する読出信号R、データ変換回路26に対するラッチ信号L、およびメモリ25に対する書込信号Wを順番に出力する。

【0043】したがって、A/D変換器22から出力されたデータで選択されたアドレスに記憶されているデータは、書換制御回路31からの読出信号Rによってメモリ25からデータ変換回路26へ出力されて次段階の異なるデータに変換され、この変換されたデータが書込信号Wによって前のデータの代わりに書き込まれる。

【0044】この書換制御回路31の動作は、インタフェース回路32を介して接続されている演算処理部40によって制御される。

【0045】演算処理部40は、例えばパーソナルコンピュータによって構成されており、図1ではその機能をブロック化して示している。

【0046】演算処理部40には、計測部21の計測動作を制御するための測定制御部41が設けられている。

【0047】即ち、初期データ設定手段42は、測定要求を受けると、データ切換スイッチ24をインタフェース回路32側に接続し、スイッチ30を初期データに接続して、メモリ25に対して書込信号Wとともにアドレスデータを $0 \sim 2^n - 1$ まで入力して、メモリ25に初期データをセットする。

【0048】また、計測指令手段43は、初期データ設定手段42の処理が終了すると、データ切換スイッチ24をA/D変換器22側に接続し、スイッチ30をデータ変換回路26側に接続して、書換制御回路31を所定の計測時間T作動させる。この処理によって、メモリ25の各アドレスには、初期データからA/D変換器22の出力データで選択された回数分遷移したデータが記憶されることになる。

【0049】計測データ読出手段44は、この計測が終了するとデータ切換スイッチ24をインタフェース回路32側に切り換え、書換制御回路31の動作を停止させて、メモリ25に対して読出信号Rとともにアドレスデータを $0 \sim 2^n - 1$ まで入力して、メモリ25に記憶されている計測データをアドレス順に読み出す。

【0050】メモリ25から読み出された計測データは、インタフェース回路32を介して演算処理部40に入力される。この演算処理部40には、前記したように、データ変換回路26の各線形論理回路27～29に対応する変換テーブル45、46、47が設けられている。

【0051】変換テーブル45～47は、この実施形態の遷移回数出力手段を構成するものであり、変換テーブル45には、前記7次原始多項式に基づいて基準となる初期データ $D_a$ から $k$ 回目( $k = 0 \sim 126$ )に変換された各データ $D_{a_0}$ 、 $D_{a_1}$ 、 $D_{a_2}$ 、…、 $D_{a_{126}}$ が各値 $k$ に対応付けられて記憶されており、メモリ25から読み出される26ビットの計測データの第1～第7ビットのデータに対応した値 $k$ を出力する。

【0052】変換テーブル46には、前記9次原始多項式に基づいて初期データ $D_b$ から $k$ 回目( $k = 0 \sim 510$ )に変換された各データ $D_{b_0}$ 、 $D_{b_1}$ 、 $D_{b_2}$ 、…、 $D_{b_{510}}$ が各値 $k$ に対応付けられて記憶されており、メモリ25から読み出される計測データの第8～第16ビットのデータに対応した値 $k$ を出力する。

【0053】変換テーブル47には、前記10次原始多項式に基づいて初期データ $D_c$ から $k$ 回目( $k = 0 \sim 1022$ )に変換された各データ $D_{c_0}$ 、 $D_{c_1}$ 、 $D_{c_2}$ 、…、 $D_{c_{1022}}$ が各値 $k$ に対応付けられて記憶されており、メモリ25から読み出される計測データの第17～第26ビットのデータに対応した値 $k$ を出力する。

【0054】ここで、入力される計測データがデータ変換回路26によって実際に書換えられた回数 $F$ (その計測データを記憶していたメモリ25のアドレスがA/D変換器22の出力データによって選択された回数)と、各変換テーブル45～47の出力値 $k_a$ 、 $k_b$ 、 $k_c$ の関係を図4に示す。

【0055】この図において、前記したように $127 (= 2^7 - 1)$ 、 $511 (= 2^9 - 1)$ 、 $1023 (= 2^{10} - 1)$ は互いに素なので、各変換テーブル45～47から出力される値 $k_a$ 、 $k_b$ 、 $k_c$ が共に等しくなるのは、 $0 \sim 126$ までの範囲である。したがって、この範囲で、 $k_a = k_b = k_c$ が成立する場合には、その値が実際の書換回数 $F$ を直接表すことになる。

【0056】しかし、書換回数 $F$ が126回を越えた計測データに対する各変換テーブル45～47から出力される値 $k_a$ 、 $k_b$ 、 $k_c$ から真の書換回数 $F$ を直接求めることができない。

【0057】そこで、この実施形態では、各変換テーブル45～47から出力される値 $k_a$ 、 $k_b$ 、 $k_c$ を頻度演算手段48に入力して、剰余数系または中華剰余定理と呼ばれる方法を用いて実際の書換回数 $F$ を求めている。

【0058】以下、前記方法の一演算手順であるGarnier法を示す。即ち、頻度演算手段48は、予め $m_1 = 2^7 - 1$ 、 $m_2 = 2^9 - 1$ 、 $m_3 = 2^{10} - 1$ の各値、 $m_1 \cdot m_2$ の値、 $m_1 \cdot m_2 \cdot m_3$ の値、および次の合同式(3)

$$U_{ij} \cdot m_i \equiv 1 \pmod{m_j} \quad \dots\dots (3)$$
(ここで、 $(\text{mod } y)$ は演算結果を $y$ で割ったときの余りを示す)を満たす3個の係数 $U_{ij}$ ( $i < j$ )を記憶している。

【0059】そして、以下の漸化式により、 $k_a$ 、 $k_b$ 、 $k_c$ から $v_a$ 、 $v_b$ 、 $v_c$ を計算する。
$$v_a = k_a$$

50  $v_b = k_b$



$$v_b = (k_b - v_a) U_{12} \bmod m_2$$

$$v_c = [(k_c - v_a) U_{13} - v_b] U_{12} \bmod m_2$$

$$F = (v_a + m_1 v_b + m_2 v_c) \bmod m_1 m_2 m_3 \dots (4)$$

の演算によって求める。

【0060】頻度演算手段48は、上記演算を変換テーブル45～47から出力される値 $k_a$ 、 $k_b$ 、 $k_c$ に対して順次行い、メモリ25の各アドレス値(0～ $2^n - 1$ )に対する演算結果 $F(0)$ 、 $F(1)$ 、…、 $F(2^n - 1)$ を各しきい値電圧毎の頻度データとして頻度データメモリ49に記憶する。

【0061】振幅確率演算手段50は、頻度データメモリ49に記憶された各頻度データについて、次式(5)  

$$P(z \Delta e) = (1/N) \sum F(j) \dots (5)$$

(ただし、 $\Delta e$ はA/D変換器22の量子化の幅、Nは一定時間Tの間に行うサンプリング回数、記号 $\sum$ は $j = z \sim 2^n - 1$ )の演算を $z = 0 \sim 2^n - 1$ について行い、信号Vが各しきい値電圧 $z \Delta e$ を越える時間率、即ちAPDを求める。

【0062】このようにして求められた信号Vの振幅確率分布は、表示制御手段51に出力され、例えば図5に示すように、表示器52の画面上にグラフ表示される。

【0063】以上のように、この実施形態のAPD測定装置は、 $2^n$ 個の記憶回路をスタティックRAM型のメモリ25で構成するとともに、各記憶回路のデータの内容を複数の線形論理回路からなるデータ変換回路26と書換制御回路31によって遷移させるようにしているの  
 で、2進カウンタを用いた従来装置に比べて、極めて小規模に実装することができ、少ない消費電力で小型な高い振幅分解能のAPD測定装置を提供することができ、

【0064】

【他の実施の形態】前記第1の実施形態では、スタティックRAM型のメモリ25で $2^n$ 個の記憶回路を構成し、各記憶回路の記憶内容を共通のデータ変換回路で交換して書き換えるようにして、小型で消費電力が少なく高い振幅分解能測定が可能なAPD測定装置の例を示したが、この実施形態のAPD測定装置20の時間分解能はスタティックRAM型のメモリのアクセス速度によって制限され、現状では前記した程度の速度が限界となる。そこで次に、より高い時間分解能が得られるAPD測定装置を第2の実施形態として説明する。なお、以下の説明では、前記第1の実施形態と同一回路については同一符号を付して説明を省略する。

【0065】図6は、第2の実施形態のAPD測定装置60の構成を示している。このAPD測定装置60は前記したAPD測定装置20と同様に計測部61と演算処

＊、

そして、書換回数Fを次式(4)

$$F = (v_a + m_1 v_b + m_2 v_c) \bmod m_1 m_2 m_3 \dots (4)$$

理部70とで構成されており、計測部61は、入力端子61aから入力される信号VをA/D変換器22によってmビット(例えば8ビット)並列のデータAに変換して、デコーダ62へ出力する。

【0066】デコーダ62は $2^n$ (=M)本の出力端子を有しており、入力されるデータAが示す値(0～ $2^n - 1$ )に対応した出力端子から選択信号を出力する。

【0067】デコーダ62の各出力端子には、本発明の記憶回路とデータ遷移手段とが一体に形成された記憶変換回路63、～63<sub>n</sub>が接続されている。

【0068】また、各記憶変換回路63、～63<sub>n</sub>には、計測データをシリアル転送するための転送用シフトレジスタ67、～67<sub>n</sub>がそれぞれ設けられている。

【0069】図7は、nを前記第1の実施形態の26ビットよりも4ビット多い30にした場合の1組の記憶変換回路63および転送用シフトレジスタ67の具体的な回路構成を示している。この図に示すように、記憶変換回路63は30ビットのデータの記憶およびその書換えを行うために、線形帰還型の3組の線形論理回路64、65、66に分割されている。

【0070】線形論理回路64は、9次原始多項式( $1 + x^4 + x^9$ )に基づいて9ビットデータの書換えを行うもので、9段のシフトレジスタ64aの最終段の出力と、最終段側から数えて5段目の出力とをEXOR回路64bに入力し、その出力を初段に入力するように構成されている。

【0071】線形論理回路65は、10次原始多項式( $1 + x^3 + x^{10}$ )に基づいて10ビットデータの書換えを行うもので、10段のシフトレジスタ65aの最終段の出力と、最終段側から数えて4段目の出力とをEXOR回路65bに入力し、その出力を初段に入力するように構成されている。

【0072】線形論理回路66は、11次原始多項式( $1 + x^3 + x^{11}$ )に基づいて11ビットデータの書換えを行うもので、11段のシフトレジスタ66aの最終段の出力と、最終段側から数えて3段目の出力とをEXOR回路66bに入力し、その出力を初段に入力するように構成されている。

【0073】各シフトレジスタ64a～66aは、演算処理部70からセット信号Sを受けると基準となる初期データ(例えば全ビット1のデータ)をセットし、デコーダ62からの選択信号を受けている状態でクロック信号Cが立ち下ると、そのデータを初段側から後段側へ1段シフトして、データを次段階へ遷移させる。

【0074】したがって、各線形論理回路64～66の遷移前の各段のデータと遷移後の各段のデータとの間には、前記第1の実施形態と同様に式(2)の関係がそれ

それ成り立ち、計測時間Tが経過した後に各線形論理回路64～66に保持されている計測データから、初期データからの遷移回数を求めることができる。

【0075】転送用シフトレジスタ67は、計測時間Tが経過した後の各線形論理回路64～66に保持されているデータをラッチして出力するためのものであり、並列入力直列出力型の30段のシフトレジスタによって構成されている。この転送用シフトレジスタ67は、演算処理部70からの転送用セット信号 $S_r$ を受けると、各シフトレジスタ64a～66aの各段の出力データをラッチし、このラッチした30ビットのデータを転送用クロック信号 $C_r$ を受ける毎に1ビットずつシリアル出力する。

【0076】なお、M個の転送用シフトレジスタ67、～67<sub>M</sub>は全体として直列に接続されていて、共通の転送用クロック信号 $C_r$ でデータをシフトするので、M個の記憶変換回路63<sub>1</sub>～63<sub>M</sub>の計測データは、M番目の転送用シフトレジスタ67<sub>M</sub>から1本のデータ線を介して読み出すことができる。

【0077】この計測データは、インタフェース68を介して演算処理部70へ送られる。演算処理部70は測定制御部71によって計測部61の動作を制御している。測定制御部71の初期データ設定手段72は、測定要求を受けると、デコーダ62の動作を停止させて、各記憶変換回路63<sub>1</sub>～63<sub>M</sub>に初期データをセットし、初期データのセットが終了すると、計測指令手段73によってデコーダ62が計測時間T動作状態となり、この計測時間が終了すると、各記憶変換回路63<sub>1</sub>～63<sub>M</sub>には、計測時間中に、初期データからA/D変換器22の出力データで選択された回数分遷移したデータが記憶されることになる。

【0078】そして、計測データ読出手段74は、計測が終了した直後に各転送用シフトレジスタ67<sub>1</sub>～67<sub>M</sub>に転送用セット信号 $S_r$ を出力して、各記憶変換回路63<sub>1</sub>～63<sub>M</sub>に記憶されている計測データをラッチさせ、続いて各転送用シフトレジスタ67<sub>1</sub>～67<sub>M</sub>に転送用クロック信号 $C_r$ を30×M回出力して、計測データを演算処理部70に取り込む。

【0079】計測部61から演算処理部70に入力される計測データは、シリアルパラレル変換手段75によって30ビット単位毎に並列データに変換され、そのうちの第1～第9ビットが変換テーブル76に入力され、第10～第19ビットが変換テーブル77に入力され、第20～第30ビットが変換テーブル78に入力される。

【0080】変換テーブル76は、入力される9ビットのデータが初期データから何回遷移したかを表す値 $k_a$ を各9ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値 $k_a$ を出力する。

【0081】変換テーブル77は、入力される10ビットのデータが初期データから何回遷移したかを表す値 $k_b$

を各10ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値 $k_b$ を出力する。

【0082】変換テーブル78は、入力される11ビットのデータが初期データから何回遷移したかを表す値 $k_c$ を各11ビットデータにそれぞれ対応して予め記憶しており、入力したデータに対応する値 $k_c$ を出力する。

【0083】頻度演算手段48は、各変換テーブル76～78から出力される $k_a$ 、 $k_b$ 、 $k_c$ に対して前記第1の実施形態と同様の演算を順次行い、各記憶変換回路63<sub>1</sub>～63<sub>M</sub>毎の頻度データ $F(0)$ 、 $F(1)$ 、…、 $F(2^n - 1)$ 求めて頻度データメモリ49に記憶し、振幅確率演算手段50が、頻度データメモリ49に記憶された各頻度データについて前記式(5)の演算を行い、信号Vが各しきい値電圧 $z \Delta e$ を越える時間率、即ちAPDを求める。

【0084】なお、このAPD測定装置60は、計測時間Tが終了した直後に、各記憶変換回路63<sub>1</sub>～63<sub>M</sub>のデータを転送用シフトレジスタ67<sub>1</sub>～67<sub>M</sub>に転送するので、この転送用シフトレジスタ67<sub>1</sub>～67<sub>M</sub>からデータを読み出している間に次の計測を行うことができる。

【0085】即ち、30ビットデータを $M (= 2^n)$ 個シリアルに出力するために必要な時間は、 $m$ を8とし転送用クロック信号 $C_r$ の周期を1マイクロ秒としても約8ミリ秒で済んでしまうので、計測時間1秒の間に、このデータの転送とAPDの算出を十分余裕を持って行うことができる。したがって、計測を連続して行うことができ、不感時間のない測定が可能であり、単発的に発生する妨害波を見逃さずに済む。

【0086】このような連続測定を行う場合、演算処理部70は、最初の初期データの設定時以外は、デコーダ62の動作を停止させずに計測時間が経過する毎に転送用セット信号 $S_r$ を出力して、その計測データを読み出す。この場合、前回の頻度データと今回の頻度データの差を求めてから、振幅確率の演算を行えばよい。また、表示制御手段79は、前回の測定結果を次の測定結果で順次更新しながら表示器52に表示したり、複数回の測定結果を時間軸を含めて3次元表示してもよい。

【0087】このように、第2の実施形態のAPD測定装置60は、シフトレジスタからなる線形帰還型の線形論理回路によって各しきい値電圧毎の頻度を計測しているので、従来のような多数桁のカウンタの遅延時間による制限がなくなり、極めて高い時間分解能で計測が行え、しかも、その計測データを計測時間が終了したときに、転送用シフトレジスタへ記憶して読み出すようにしているから、不感時間を殆ど発生させないで連続した測定が可能になり、計測データの読み出しも高速に行うことができる。

【0088】この第2の実施形態のAPD測定装置60は高速動作を主眼にしたもので、連続計測を可能にして

いたが、図 8 に示す計測部 81 のように、RAM 型のメモリ 82、92、データ変換回路 83、93、ラッチ回路 84、94、書換制御回路 86、96 を 2 組ずつ設けるとともに、A/D 変換器 22 の出力データを第 1 のメモリ 82 と第 2 のメモリ 92 に交互に与えるための第 1 のデータ切換スイッチ 97 と、第 1 のメモリ 82 の計測データと第 2 のメモリ 92 の計測データを切り換えて演算処理部へ送るための第 2 のデータ切換スイッチ 98 とを設けて、第 1、第 2 のデータ切換スイッチ 97、98 を計測時間 T が経過する毎に切り換えるようにすれば、図 9 に示すように、一方のメモリ側が計測している間に、他方のメモリ側から計測データの読み出し、演算および初期データ設定が行え、余裕を持って連続測定をすることができる。

【0089】なお、この実施形態では、データの入出力端子が共通な一般的なメモリを用いるとともに、メモリからのデータを読み出すときに各ラッチ回路 84、94 の出力をハイインピーダンス状態にしている。また、このようにラッチ回路 84、94 をデータ変換回路 83、93 の出力側に設ける場合には、図 2 に示した各ラッチ回路 27a~29a は不要であり、その入出力を直結させてよい。

【0090】前記各実施形態では、データ遷移手段において、n ビットのデータを分割していたが、高い振幅分解能は要求されるが時間分解能はそれほど要求されていない場合、即ち、n が小さく m が大きい場合には、変換テーブルの容量が少なく済むので、n 次原始多項式を用いてデータを選移させるようにしてもよい。この場合でも、従来装置のようにカウンタの数を増加させるより実装上有利である。

【0091】また、前記した図 8 の計測部では、RAM 型のメモリを用いていたが、シフトレジスタ型の記憶回路を用いた計測部においても、その記憶回路、データ選移手段、計測データ読出手段を 2 組ずつ設けて A/D 変換器のデータを交互に与えるようにしてもよい。

【0092】また、多点測定、例えば、IC の複数の端子の信号を同時に測定するような場合には、図 10 に示す計測部 100 のように、前記した計測部 61 のインタフェース 68 を外部に設けた計測部 61' を複数使い、その転送用シフトレジスタの入出力を直列に接続すれば、各入力端子 100a に入力される信号  $V_1 \sim V_n$  に対する多くの計測データを容易に演算処理部 70 に取り込むことができる。

【0093】なお、前記した各実施形態では、計測部と演算処理部とを別体に構成していたが、これは、本発明を限定するものではなく、前記した各実施形態の各機能を同一筐体内に設けてもよい。

【0094】

【発明の効果】以上説明したように、本発明の振幅確率分布測定装置は、A/D 変換器の出力データによって選

択した記憶回路のデータを、原始多項式に対応した線形論理回路によって、次段階の異なるデータへ遷移させ、計測が終了したときに、その記憶回路のデータの基準データからの遷移回数を求めて、その記憶回路が計測時間内に A/D 変換器の出力データで選択された回数を求めて、その振幅確率分布を算出するようにしているので、カウンタによる計数方法に比べて、小規模な構成で、且つ少ない消費電力で高い振幅分解能の測定が可能になる。

10 【0095】また、記憶回路に記憶されている n ビットのデータを、2 のべき乗から 1 を減じた値が互いに素となり且つその総和が n となるビット数のデータに分割し、その分割したデータのビット数にそれぞれ対応する次数の原始多項式によってデータを選移させるようにしているので、時間分解能を高くしても、装置が大型化しないで済む。

20 【0096】また、記憶回路として RAM 型のメモリやシフトレジスタを用いた振幅確率分布測定装置では、各記憶回路の読み出しラインを並列接続しないで済むので、読み出し動作が不安定になったり、その速度が低下することなく、安定且つ高速な読み出しが可能になる。

30 【0097】また、シフトレジスタを用いて記憶回路とデータ選移手段とを一体化させた振幅確率分布測定装置では、格段に高い時間分解能の測定が可能になり、また、この記憶回路としてシフトレジスタのデータを転送用シフトレジスタでラッチして出力する振幅確率分布測定装置では、計測を連続して行うことができ、不感時間のない測定が可能になる。また、転送用シフトレジスタを直列に接続した振幅確率分布測定装置では、各記憶回路の計測データを一本の信号線で読み出すことができ、高速な読み出しが可能になり、装置を簡単化できる。

【0098】また、記憶回路、データ選移手段および計測データ読出主を 2 組設けて交互に計測を行わせるものでも連続測定が容易に実現できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態の構成を示すブロック図

【図 2】第 1 の実施形態の要部の回路図

40 【図 3】第 1 の実施形態の要部の動作を説明するためのタイムチャート

【図 4】第 1 の実施形態の要部の動作を説明するための図

【図 5】第 1 の実施形態の測定結果の一例を示す図

【図 6】本発明の第 2 の実施形態の構成を示すブロック図

【図 7】第 2 の実施形態の要部の回路図

【図 8】本発明の他の実施形態の要部の構成を示すブロック図

50 【図 9】本発明の他の実施形態の動作を説明するための

タイミングチャート

【図10】本発明の他の実施形態の構成を示すブロック

図

【図11】従来装置の構成を示すブロック図

【符号の説明】

20 APD測定装置

22 A/D変換器

23 クロック信号発生器

24 データ切換スイッチ

25 メモリ

\*26 データ変換回路

27~29 線形論理回路

31 書換制御回路

40 演算処理部

45~47 変換テーブル

48 頻度演算手段

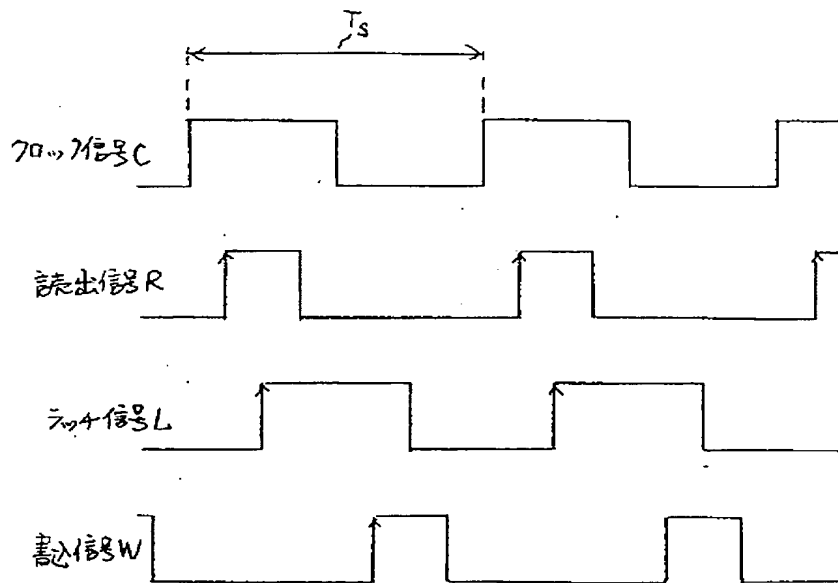
50 振幅確率演算手段

51 表示制御手段

52 表示器

\*10

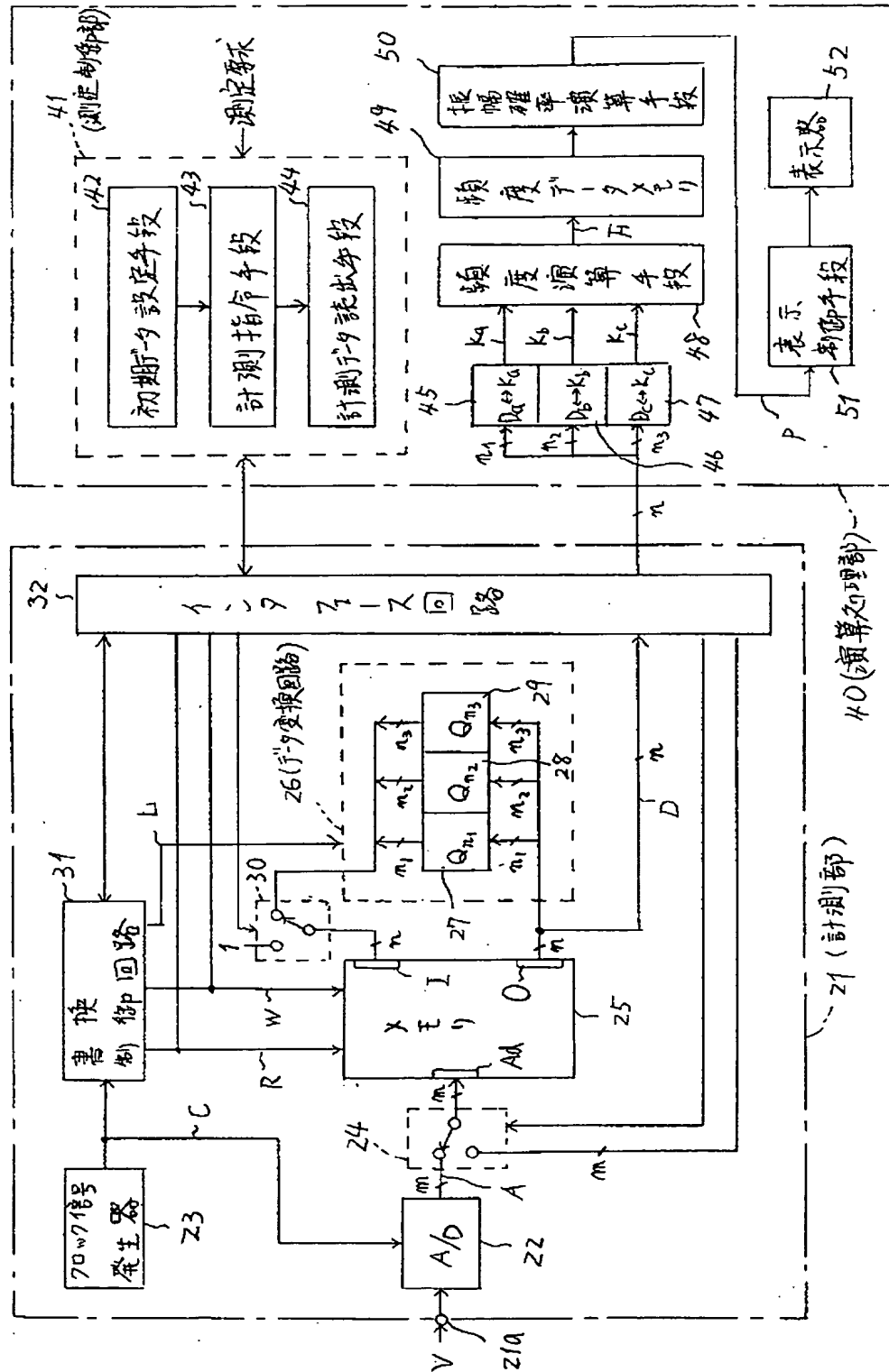
【図3】



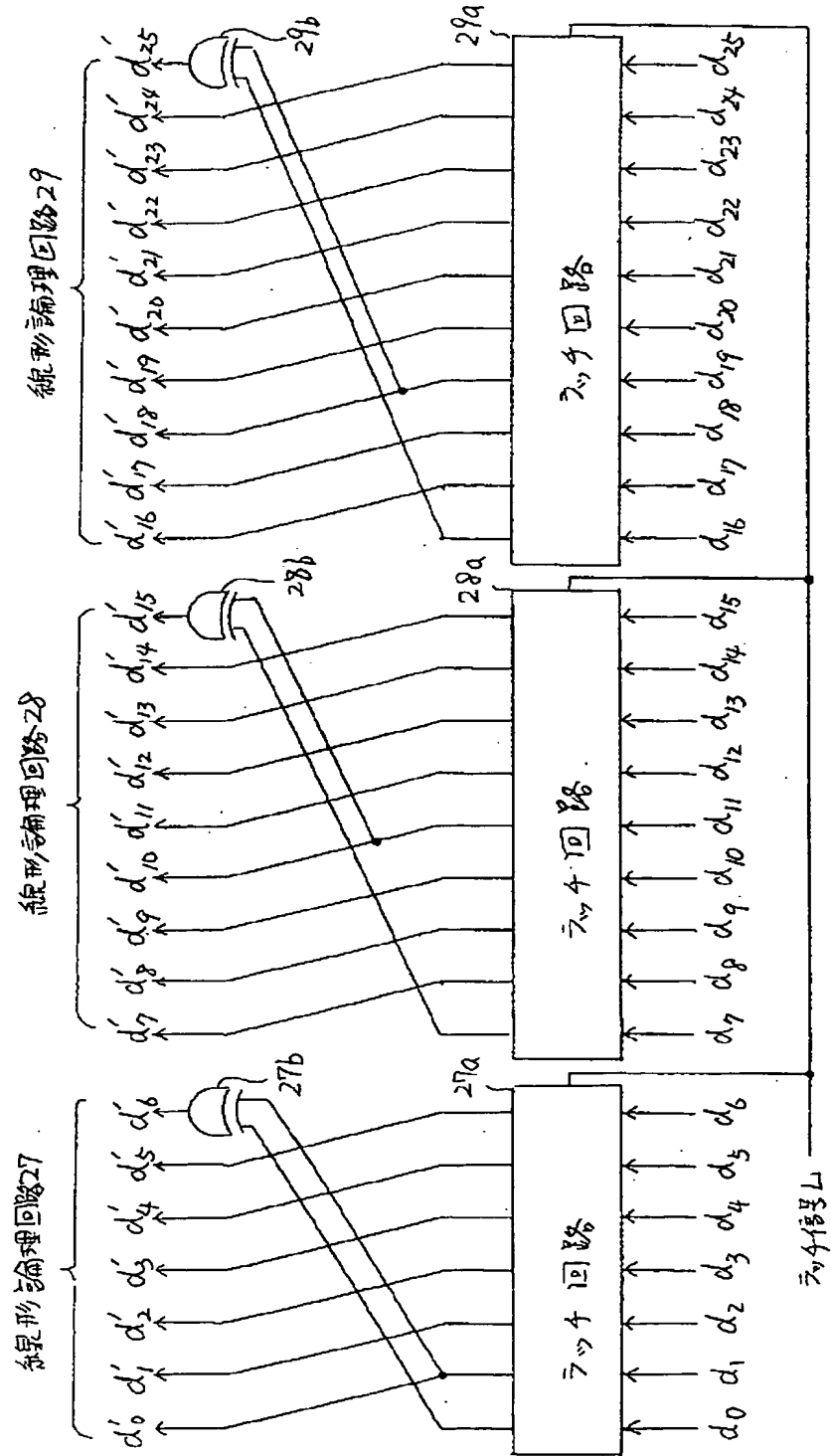
【図4】

F	0	1	2	---	126	127	128	---	510	511	512	---	1022	1023	1024	---	127×511×1023-1
K <sub>a</sub>	0	1	2	---	126	0	1	---	2	3	4	---	6	7	8	---	126
K <sub>b</sub>	0	1	2	---	126	127	128	---	510	0	1	---	0	1	2	---	510
K <sub>c</sub>	0	1	2	---	126	127	128	---	510	511	512	---	1022	0	1	---	1022

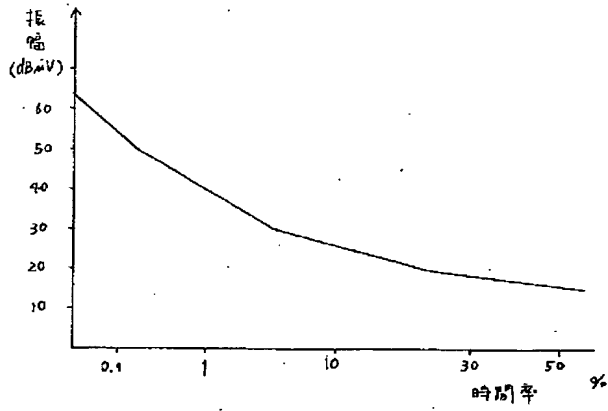
ZO(APD測定装置)



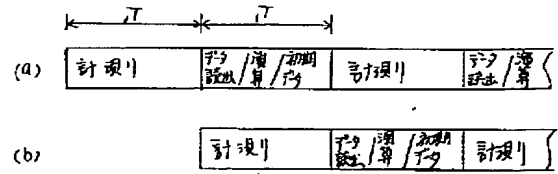
【図2】



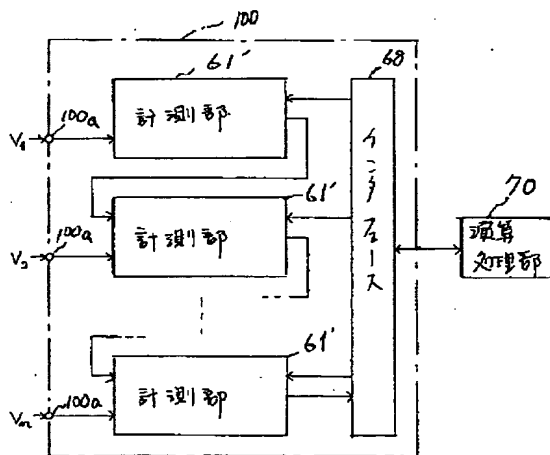
【図5】



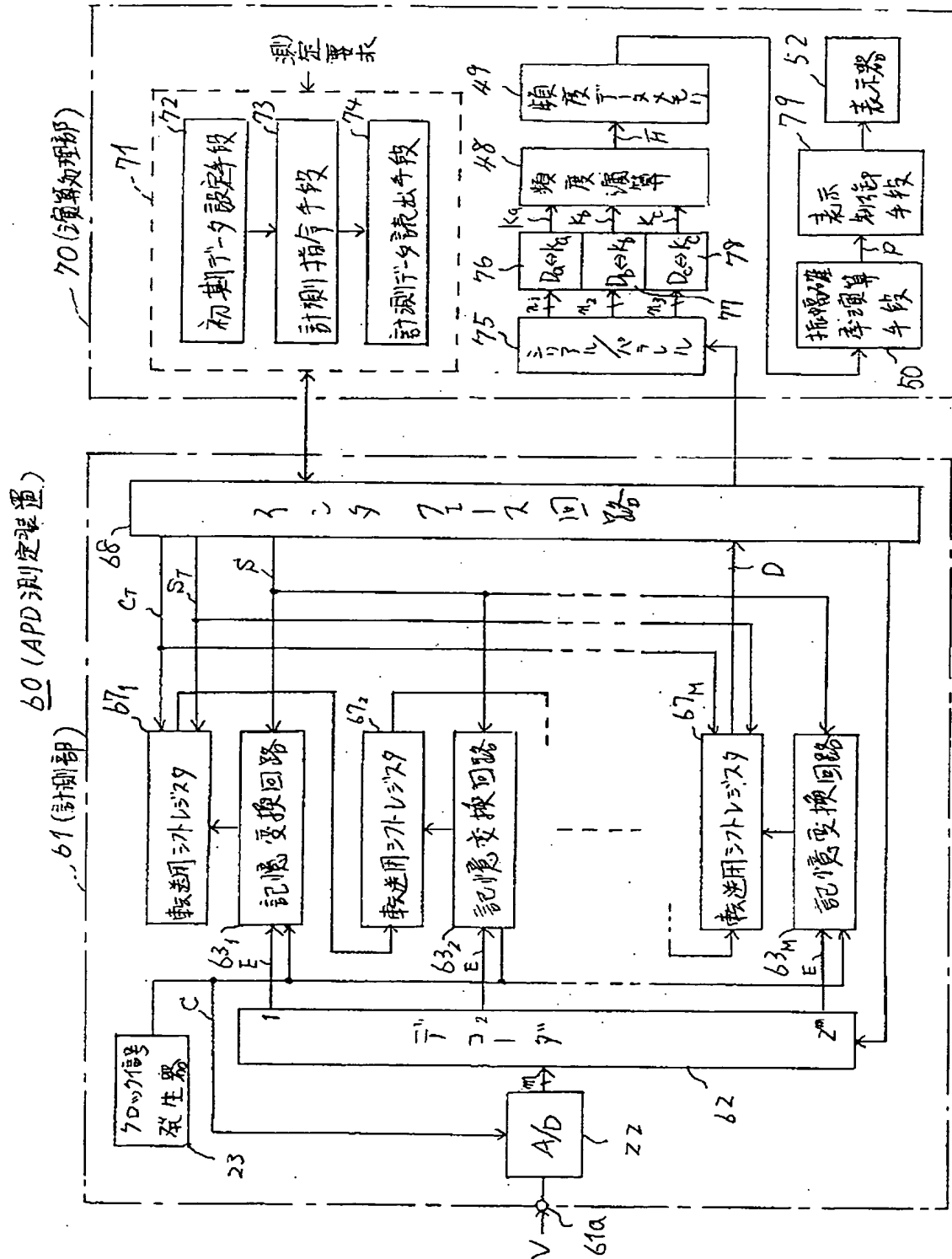
【図9】



【図10】

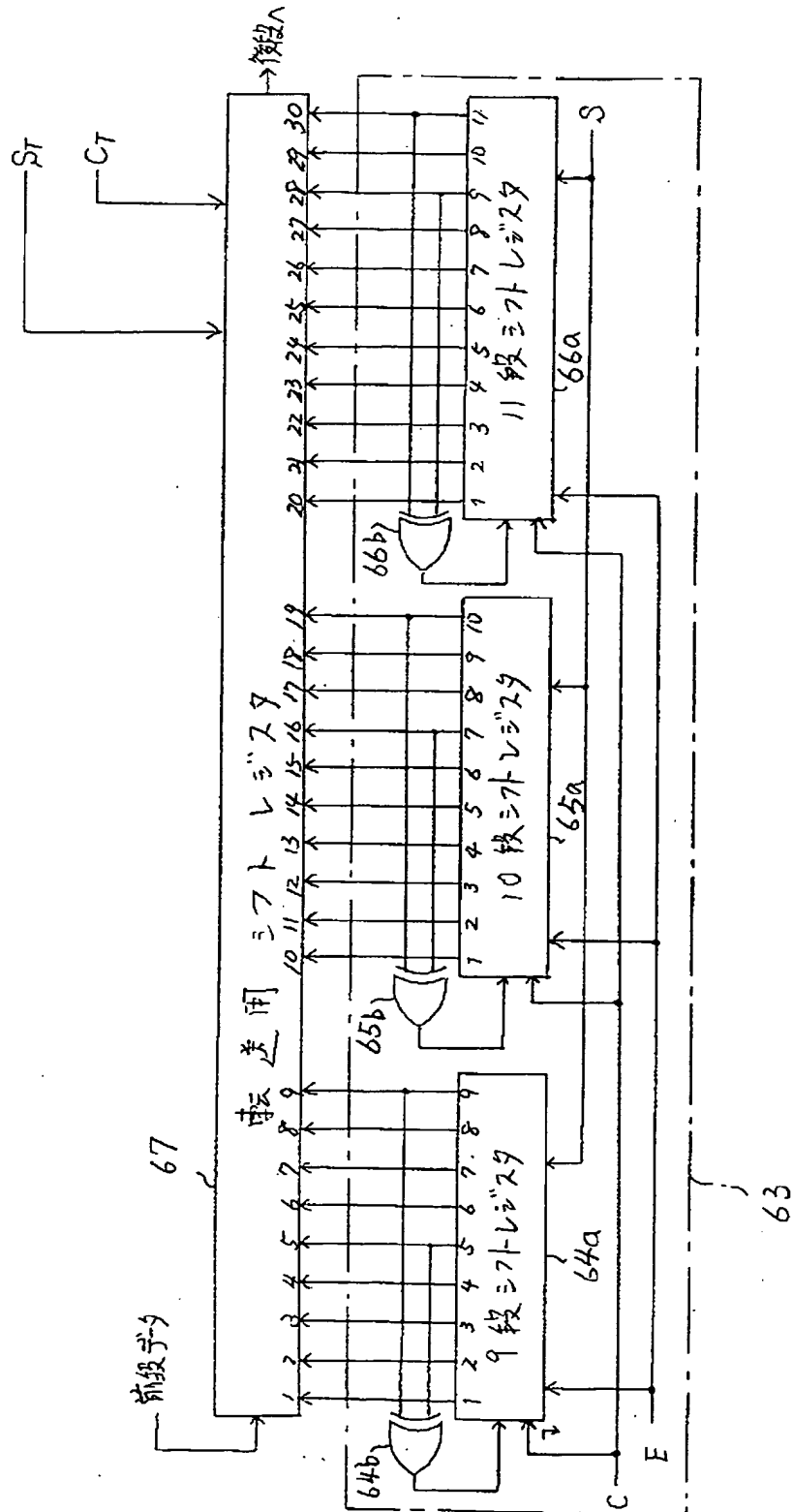


【図6】

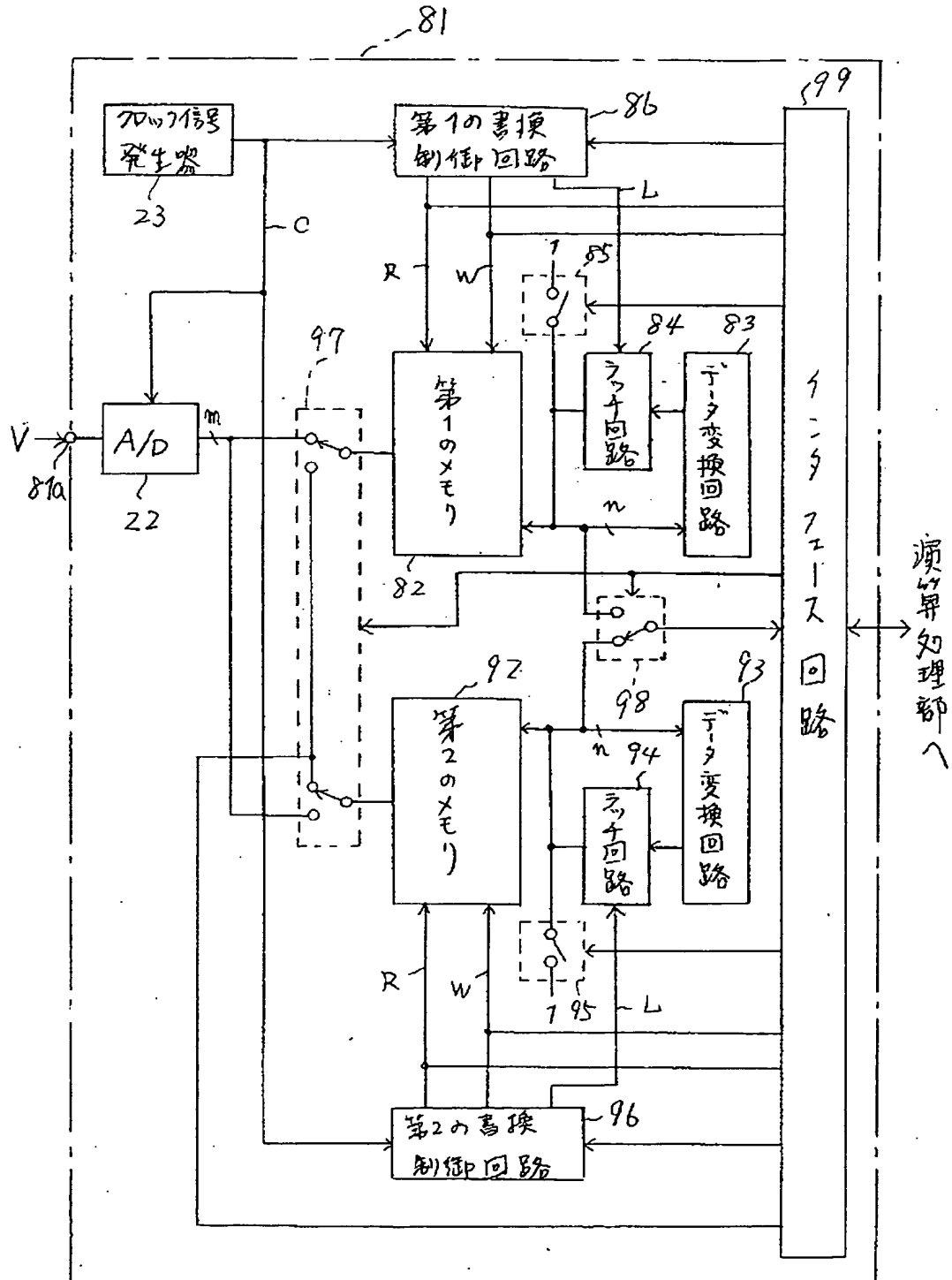




【図7】

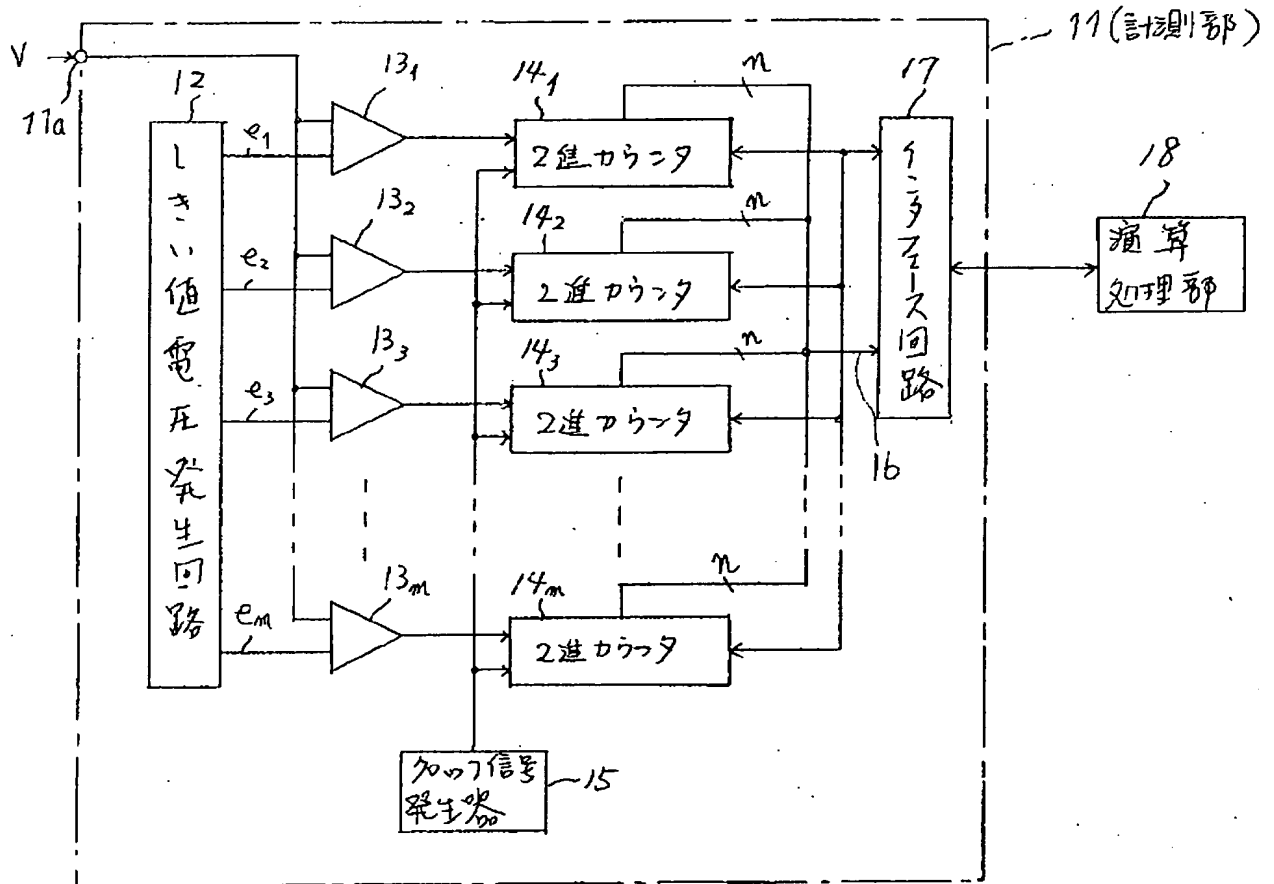


81



【図11】

## 10 (APD測定装置)



【手続補正書】

【提出日】平成9年1月28日

【手続補正1】

【補正対象書類名】図面

\*【補正対象項目名】全図

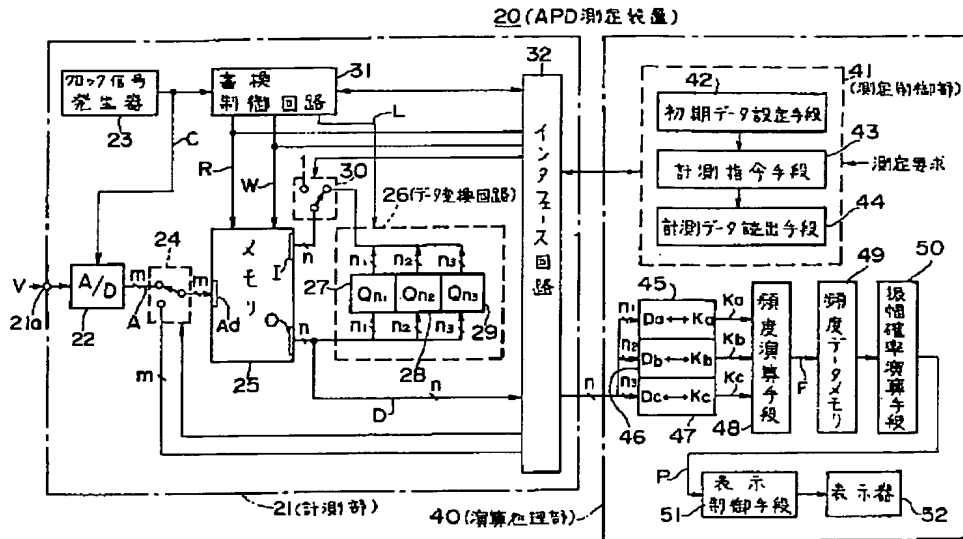
【補正方法】変更

\*【補正内容】

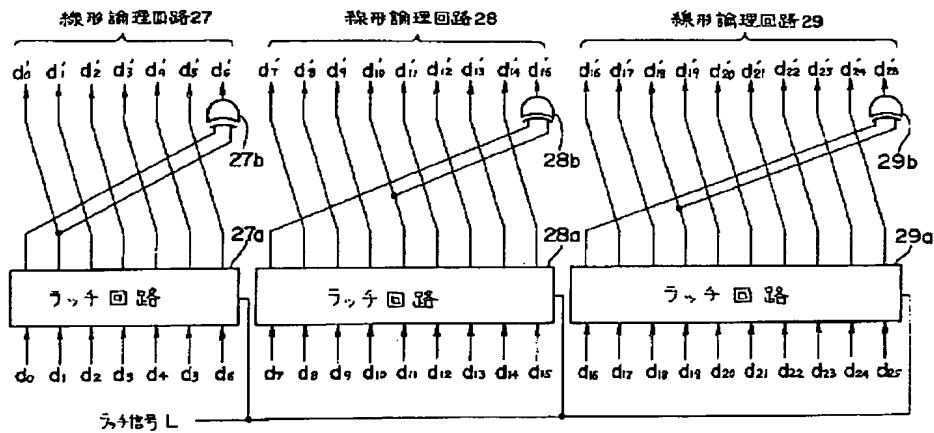
【図4】

F	0	1	2	---	126	127	128	---	510	511	512	---	1022	1023	1024	---	127×511×1023-1
Ka	0	1	2	---	126	0	1	---	2	3	4	---	6	7	8	---	126
Kb	0	1	2	---	126	127	128	---	510	0	1	---	0	1	2	---	510
Kc	0	1	2	---	126	127	128	---	510	511	512	---	1022	0	1	---	1022

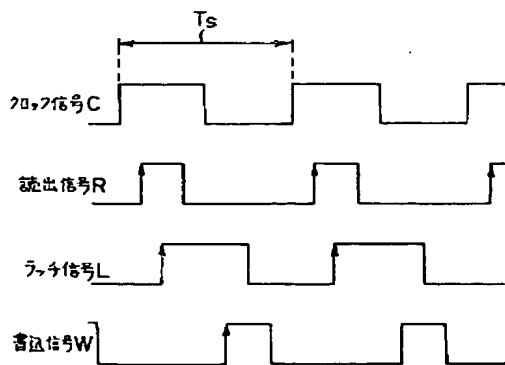
【図1】



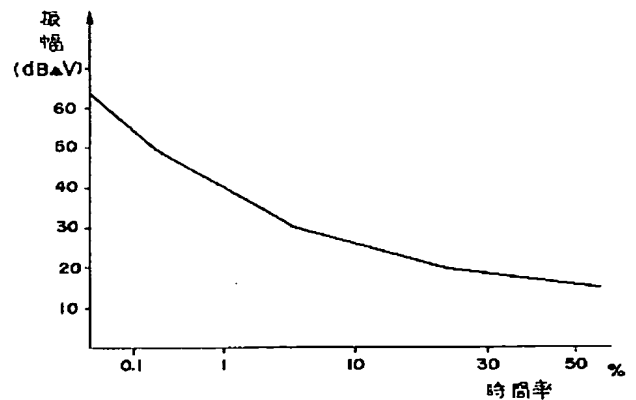
【図2】



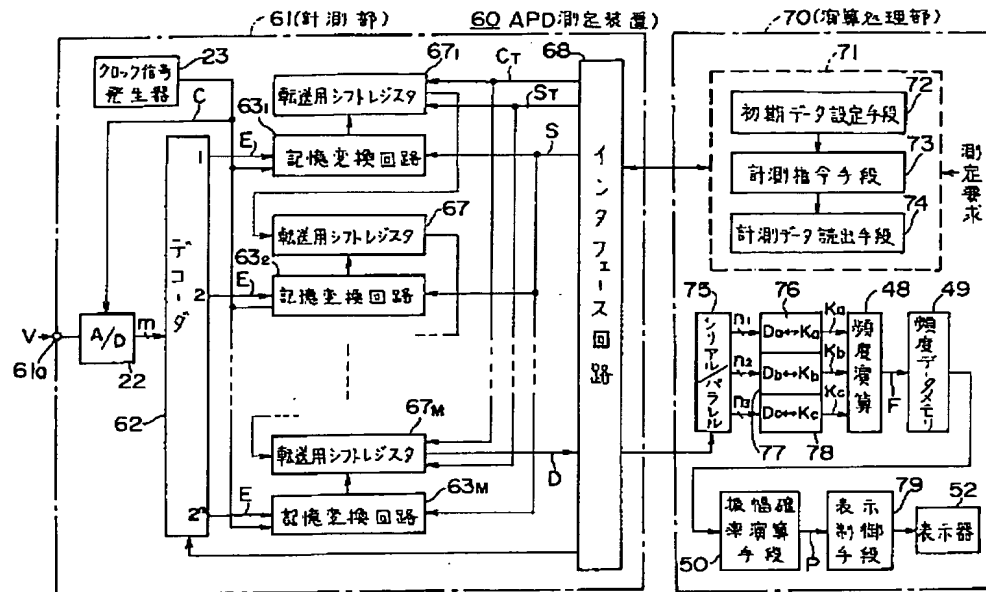
【図3】



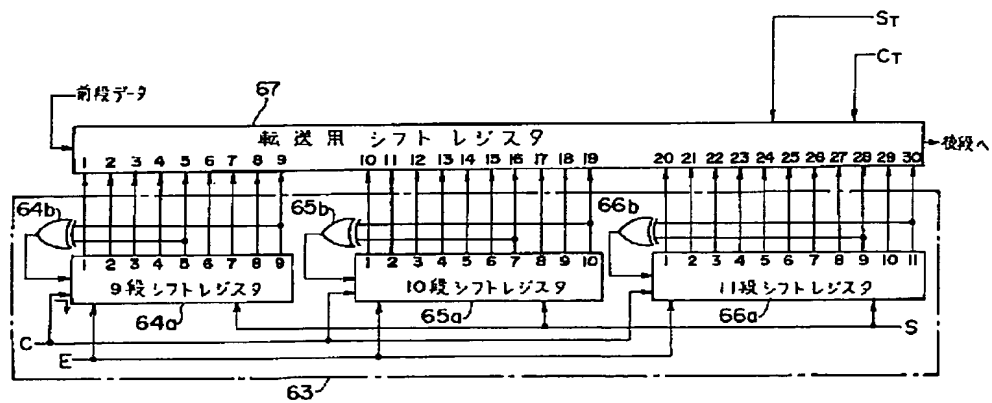
【図5】



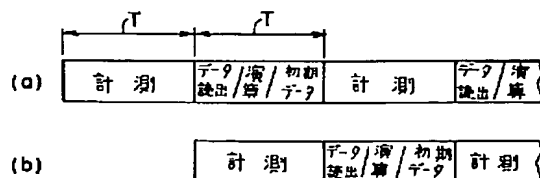
【圖 7】



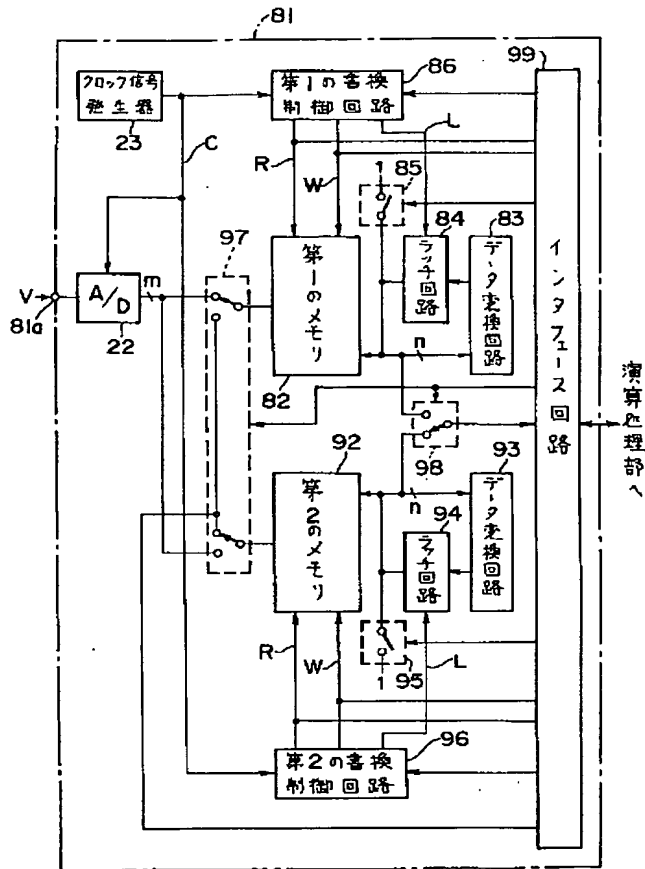
【圖 7】



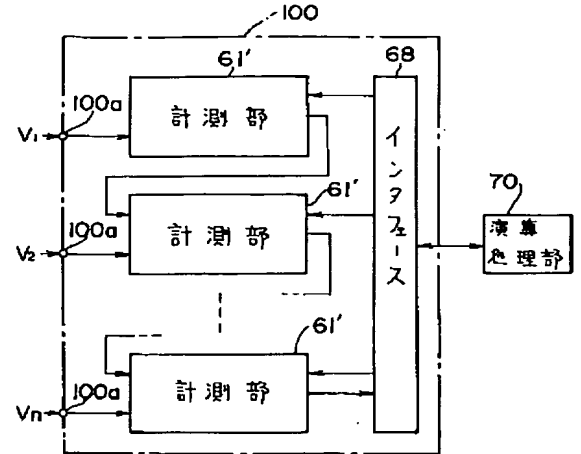
【図9】



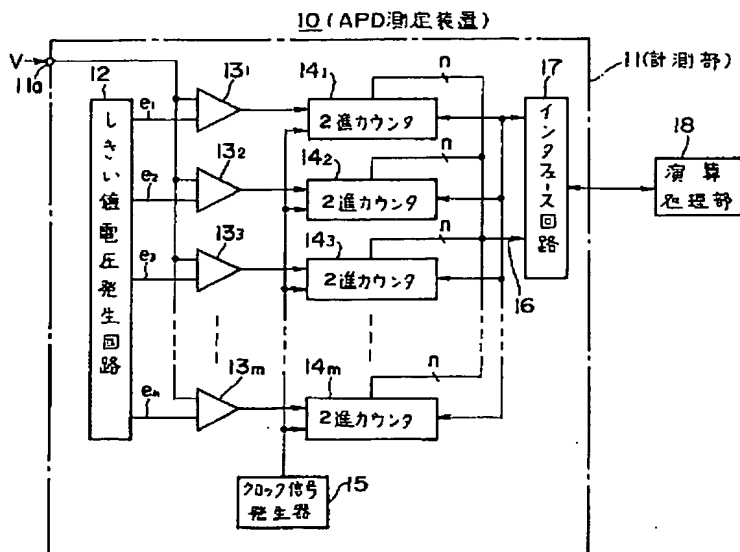
【図8】



【図10】



【図11】



This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**